

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭56—11700

⑪ Int. Cl.<sup>3</sup>  
G 11 C 29/00  
G 06 F 9/22  
11/16

識別記号

庁内整理番号  
7056—5B  
7201—5B  
7368—5B

⑬ 公開 昭和56年(1981)2月5日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑭ 制御メモリ誤り修正方式

川崎市中原区上小田中1015番地  
富士通株式会社内

⑮ 特 願 昭54—86718

⑯ 出 願 人 富士通株式会社

⑰ 出 願 昭54(1979)7月9日

川崎市中原区上小田中1015番地

⑱ 発 明 者 菊地譲次

⑲ 復 代 理 人 弁理士 田坂善重

明 細 書

1 発明の名称

制御メモリ誤り修正方式

2 特許請求の範囲

マイクロプロセッサにマイクロプログラムをローディングするロード装置に監視回路を設け、マイクロプロセッサの制御メモリにビット誤りが検出された時に該監視回路により誤った制御メモリ部分のアドレスを割り出し、対応するデータを取り出しインバートビット処理を施した後制御メモリに書き込む誤り修正手段を具えたことを特徴とする制御メモリ誤り修正方式。

3 発明の効果を説明

本発明はマイクロプロセッサでジョブ実行中に制御メモリにビット誤りが検出された時直ちに修正してジョブを実行できる制御メモリ誤り修正方式に関するものである。

従来、マイクロプロセッサではマイクロプログラムを制御メモリにローディングするロード装置

に監視回路が設けられるが、制御メモリに対しパリティチェック等でビット誤りが検出された場合、これを直ちに修正するにはエラーサイクリックチェック(ECC)等の方法が用いられるが、これはマイクロ命令のビット数2<sup>8</sup>倍に対しECCのビット数はn+2倍が必要となり、手順も複雑となるから、高級な回路に用いられ、通常はそこでジョブを打ち切り、修正されたプログラムにより、最初からローディングするいわゆる初期マイクロプログラムローディング(IMPL)の手順に移行する。しかし、このような処理はビット誤り検出までのジョブの仕切りが無駄となり効率的でないことは明らかである。

本発明の目的はマイクロプロセッサのジョブ実行中に制御メモリにビット誤りが検出された時直ちに修正してジョブを実行できる簡単な制御メモリ誤り修正方式を提供することである。

前記目的を達成するため、本発明の制御メモリ誤り修正方式はマイクロプロセッサにマイクロプログラムをローディングするロード装置に監視回路を

(2)

(1)

設け、マイクロプロセッサの記憶メモリにビット  
誤りが検出された時の訂正回路により誤った記  
憶メモリ部分のアドレスを出力し対応するデー  
タを取り出しインポートビット回路を介した記憶  
メモリに書き込む誤りの正手取を具えたことを  
検出とするものである。

以下本発明の実施例につき詳述する。

図は本発明の実施例の構成を示す説明図である。  
同図において、フロッピイディスク1のデータは  
監視回路を含むロード2によりCSアドレスレジ  
スタ(CSAB)3を介してアドレスを指定してマイク  
ロプロセッサの記憶メモリであるコントロールス  
トレジ(CS)4にローディングする。そしてCS  
4にローディングされたデータに対しロード2の  
監視回路は検査のバリタチェックの過程を経て  
ビット誤りを検出する。その結果、CSのビット  
誤りが検出されると、CS誤り修正回路8を用いて  
ビット誤りを発生したCSのアドレスを出力してフ  
ロッピイディスク1からそのアドレスに対応する  
命令を取り出し、これに同様のインポートビット

(3)

回路を介してCS4に書き込む。

このインポートビット回路の手口を実例により  
説明例に適用した場合を説明すると、いまCS4  
におけるアドレスAの正値をデータを「0100」  
とした時、これがローディング後の監視によりそ  
のデータが「0000」と検出され1ビット誤りの  
フラグが検出されたものとする。この場合には、  
ロード2はフロッピイディスク1からこの誤りデ  
ータに対応するアドレスで正値データ「0100」  
を読み出し、これをインポートすることにより  
「1011」を得てこれをインポートビット「1」と  
ともにCS4に書き込んでおき、検出し時はこれ  
をさらにインポートして正値データを検出す。こ  
れを図で示すと、

図

	インポート ビット	デ ー タ
① CS 正 値	0	0 1 0 0
② CS 誤 り	0	0 0 0 0
③ CSインポート読み	1	1 0 1 1
④ CSインポート出力	1	0 1 0 0

(4)

となり、0印が誤りビットであることが分る。

このように、インポートビット回路の検出されたCS  
を含む記憶メモリ4から命令データがアドレス指  
定されて検出する場合、インポートビットとデータ  
とが検出的OR回路(OR)5を介して一旦オペ  
レーション(OP)レジスタ6に格納され、このデ  
ータにつきバリタチェック回路(PC)7により  
バリタチェックが行なわれる。

この場合、インポートビットが「0」であれば命令  
データはOR5を通過してその立上OPレジスタ  
6に格納されバリタチェックが施され、新たに  
1ビット誤りが発生していると、フラグを立てロ  
ード2に通知し、ロード2内のCS誤り修正回路8  
により前述の修正が行なわれる。またデータが自  
ら修正された結果、インポートビットが「1」であ  
れば、命令データは図の④のようにインポートさ  
れたデータがOR5に入力し、OPレジスタ6に  
は図の④の正値データが格納される。この場合も  
さらにバリタチェックが施される。

以上説明したように、本発明によれば、マイク

(5)

ロプロセッサのシロブ実行中に記憶メモリにビッ  
ト誤りが検出された時インポートビット回路によ  
り誤りに修正して正しいデータを出力することが  
できるから、シロブの執行が可能となる。従つて  
誤り検出までのシロブの仕事量が有効に生かされ、  
時間的にも節約できることは明らかであり、しか  
も正しいデータが検出されて出力することが可能  
となる。

4図の図号を説明

図は本発明の実施例の構成を示す説明図であり、  
図中、1はフロッピイディスク、2はロード、3  
はアドレスレジスタ、4は記憶メモリ、5は検出  
的OR回路、6はオペレーションレジスタ、7はバ  
リタチェック回路、8はCS誤り修正回路を示す。

特許出口人 富士通株式会社

代表人 分田 田 板 谷 直

(6)

